

OUTPUT BUFFER CIRCUIT

Publication number: JP2006279268

Publication date: 2006-10-12

Inventor: NEDACHI TAKAAKI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: H04L25/02; H03K19/0175; H04L25/03; H04L25/02;
H03K19/0175; H04L25/03;

- European: H04L25/02K7E1

Application number: JP20050092219 20050328

Priority number(s): JP20050092219 20050328

Also published as:



US7378877 (B2)



US2006214691 (A1)

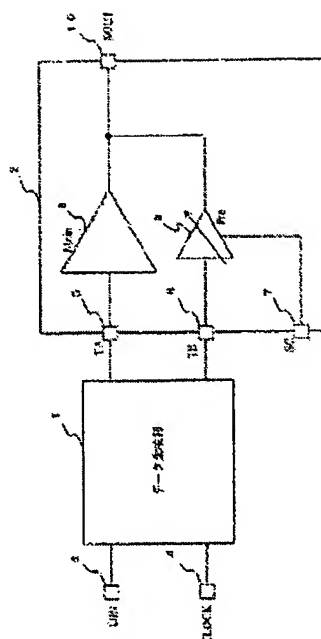
Report a data error here

Abstract of JP2006279268

PROBLEM TO BE SOLVED: To provide an output buffer circuit in which power consumption is small even when de-emphasis continues.

SOLUTION: The output buffer circuit which has a pre-emphasis function, and outputs a logical signal to a transmission line which serves as a distributed constant circuit, is provided with a main buffer 8 which receives a first signal in which a logical value is given to a logical signal, and drives the transmission line, a pre-buffer 9 which receives a second signal which has a predetermined logical relation with the first signal, cooperates with the first buffer, and drives the transmission line, and a means which detects change of the logical value of the logical signal. Output impedance of the second buffer is set higher than output impedance of the first buffer in a limit to improve the attenuation value of the signal in the transmission line, in a case that the de-emphasis condition continues, a control signal is created in a data creation part 1 so as to make the second buffer cooperate with the first buffer, and drive the transmission line.

COPYRIGHT: (C)2007,JPO&INPIT



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-279268

(P2006-279268A)

(43) 公開日 平成18年10月12日(2006. 10. 12)

(51) Int. Cl.	F I	テーマコード (参考)
H04L 25/02 (2006.01)	H04L 25/02 S	5J056
H04L 25/03 (2006.01)	H04L 25/03 C	5K029
H03K 19/0175 (2006.01)	H03K 19/00 1O1F	
	H03K 19/00 1O1Q	

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願2005-92219 (P2005-92219)
(22) 出願日 平成17年3月28日 (2005. 3. 28)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(74) 代理人 100084250
弁理士 丸山 隆夫
(72) 発明者 根立 貴章
東京都港区芝五丁目7番1号 日本電気株式会社内
Fターム(参考) 5J056 AA04 AA39 BB17 CC00 CC04
CC05 CC14 DD12 DD29 DD59
EE07 FF01 FF08 GG06 GG07
GG08 GG09 KK01
5K029 AA03 AA11 CC01 DD02 DD12
DD22 GG05 GG07 LL08 LL12

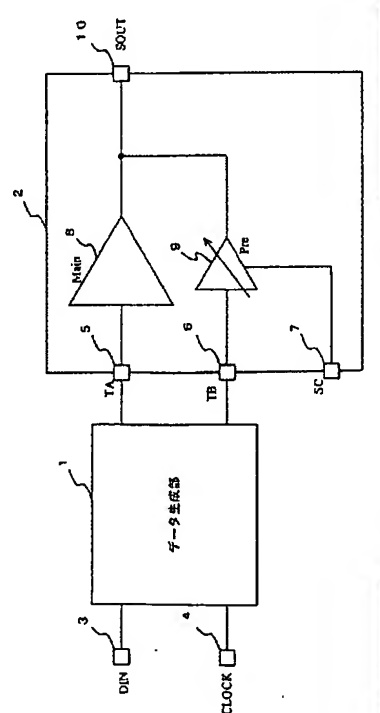
(54) 【発明の名称】 出力バッファ回路

(57) 【要約】

【課題】 ディエンファシスが連続する場合でも消費電力の小さい出力バッファ回路を提供する。

【解決手段】 プレエンファシス機能を有し、分布定数回路として振る舞う伝送線路に論理信号を送出するための出力バッファ回路であって、論理信号に論理値を与える第1の信号を入力して伝送線路を駆動するメインバッファ8と、第1の信号と所定の論理関係を有する第2の信号を入力し、第1のバッファと協働して伝送線路を駆動するプリバッファ9と、論理信号の論理値の変化を検出する手段とを備え、第2のバッファの出力インピーダンスは、伝送線路での信号の減衰量が改善される限度において第1のバッファの出力インピーダンスよりも高く設定されており、ディエンファシス状態が連続する場合には、第2のバッファを第1のバッファと協働させて伝送線路を駆動するようにデータ生成部1で制御信号を生成する。

【選択図】 図1



【特許請求の範囲】**【請求項1】**

プレエンファシス機能を有し、分布定数回路として振る舞う伝送線路に論理信号を送出するための出力バッファ回路であって、

論理信号に論理値を与える第1の信号を入力して前記伝送線路を駆動する第1のバッファと、

前記第1の信号と所定の論理関係を有する第2の信号を入力し、前記第1のバッファと協働して前記伝送線路を駆動する第2のバッファと、

前記論理信号の論理値の変化を検出する手段とを備え、

前記第2のバッファの出力インピーダンスは、前記伝送線路での信号の減衰量が改善される限度において前記第1のバッファの出力インピーダンスよりも高く設定されており、

ディエンファシス状態が連続する場合には、前記第2のバッファを前記第1のバッファと協働させて前記伝送線路を駆動することを特徴とする出力バッファ回路。

【請求項2】

前記第1のバッファは、前記第1の信号をクロックの立ち上がりで保持し、次の立ち上がりまで保持して第1の出力信号を出力する第1のフリップフロップ回路を有することを特徴とする請求項1記載の出力バッファ回路。

【請求項3】

前記第2の信号は、前記第1の出力信号であることを特徴とする請求項2記載の出力バッファ回路。

【請求項4】

前記第2のバッファは、前記第1の出力信号をクロックの立ち上がりで保持し、次の立ち上がりまで保持した第2の出力信号及びその反転信号を出力する第2のフリップフロップ回路と、

前記第1の出力信号と、前記第2の出力信号と、前記第1の信号との排他的論理和を出力するE X - O R回路と、

前記第1の出力信号及び前記第2の出力信号が入力し、前記E X - O R回路の出力値が1であれば前記第1の出力信号を、前記E X - O R回路の出力値が0であれば前記第2の出力信号を出力するセレクトとを有することを特徴とする請求項3記載の出力バッファ回路。

【請求項5】

前記第1のバッファの出力信号及び前記第2のバッファの出力信号をそれぞれ所定時間遅延させる出力遅延手段を有することを特徴とする請求項1から4のいずれか1項記載の出力バッファ回路。

【請求項6】

前記出力遅延手段は、バッファ回路であることを特徴とする請求項5記載の出力バッファ回路。

【請求項7】

前記出力遅延手段は、データラッチ回路であることを特徴とする請求項5記載の出力バッファ回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体集積回路装置に搭載され、半導体集積回路装置の内部で処理された論理情報を適切な論理信号に変換して装置外部に送出する出力バッファ回路に関し、特に伝送線路の減衰量に応じて送出側であらかじめ適切な波形強調を行うプレエンファシス機能を備えた出力バッファ回路に関する。

【背景技術】**【0002】**

プリエンファシス機能を有する回路は、特に長距離、低電圧、高速（高周波）動作を必

要とする出力回路として用いられている。

【0003】

この種の出力バッファ回路は、一般的にはカレントモード型回路（電流量で表された信号を取り扱う回路）により実現されるが、このようなカレントモード型回路は、その構成上低い電源電圧で動作させるのは不利である。

【0004】

しかしながら、近年における半導体集積回路の微細加工技術の進展に伴い、動作電圧の低下による低消費電力化が進み、より低い電源電圧でより高速に動作させることが要求されている。

【0005】

このような要求に応えることを目的とした従来技術として、特許文献1に開示される「デジタル信号をプリアンファシス伝送路経由で送信するための出力バッファ回路」、特許文献2に開示される「出力バッファ回路」がある。

【0006】

特に、特許文献2に開示される発明は、低電源電圧で動作するとともに、入力部から出力部までの伝搬遅延時間を短くすることで、回路を高速で動作させている。

【特許文献1】特開2000-68816号公報

【特許文献2】特開2002-94365号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、特許文献2に開示される発明は、ディエンファシス状態が続くと消費電力が大きくなってしまいう問題がある。

【0008】

本発明はかかる問題に鑑みてなされたものであり、ディエンファシスが連続する場合でも消費電力が小さい出力バッファ回路を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明は、上記目的を達成するために、プリアンファシス機能を有し、分布定数回路として振る舞う伝送線路に論理信号を送出するための出力バッファ回路であって、論理信号に論理値を与える第1の信号を入力して伝送線路を駆動する第1のバッファと、第1の信号と所定の論理関係を有する第2の信号を入力し、第1のバッファと協働して伝送線路を駆動する第2のバッファと、論理信号の論理値の変化を検出する手段とを備え、第2のバッファの出力インピーダンスは、伝送線路での信号の減衰量が改善される限度において第1のバッファの出力インピーダンスよりも高く設定されており、ディエンファシス状態が連続する場合には、第2のバッファを第1のバッファと協働させて伝送線路を駆動することを特徴とする出力バッファ回路を提供するものである。

【0010】

以上の構成においては、第1のバッファは、第1の信号をクロックの立ち上がりで保持し、次の立ち上がりまで保持して第1の出力信号を出力する第1のフリップフロップ回路を有することが好ましい。これに加えて、第2の信号は、第1の出力信号であることがより好ましい。さらに加えて、第2のバッファは、第1の出力信号をクロックの立ち上がりで保持し、次の立ち上がりまで保持した第2の出力信号及びその反転信号を出力する第2のフリップフロップ回路と、第1の出力信号と、第2の出力信号と、第1の信号との排他的論理和を出力するEX-OR回路と、第1の出力信号及び第2の出力信号が入力し、EX-OR回路の出力値が1であれば第1の出力信号を、EX-OR回路の出力値が0であれば第2の出力信号を出力するセクタとを有することがより好ましい。

【0011】

上記のいずれの構成においても、第1のバッファの出力信号及び第2のバッファの出力信号をそれぞれ所定時間遅延させる出力遅延手段を有することが好ましい。これに加えて

、出力遅延手段は、バッファ回路であること、又は出力遅延手段は、データラッチ回路であることがより好ましい。

【発明の効果】

【0012】

本発明によれば、ディエンファシスが連続する場合でも消費電力の小さい出力バッファ回路を提供できる。

【発明を実施するための最良の形態】

【0013】

〔発明の原理〕

本発明は、情報処理装置などにおけるデータ伝送で、伝送線路の減衰量に応じて信号波形を強調するプリエンファシス機能を有する出力バッファ回路において、信号の論理値を与える第1の論理信号を入力して伝送線路を駆動する第1のバッファと、第1の論理信号に対して所定の論理関係を有する第2の論理信号を入力し、第1のバッファと協調して伝送線路を駆動する第2のバッファとを備え、第2のバッファの出力インピーダンスは、伝送線路での信号の減衰量が改善される限度において第1のバッファの出力インピーダンスよりも高く設定され、ディエンファシス（非強調）状態が連続する場合は、データ変化がないことを検出して、消費電力が大きいディエンファシス状態から消費電力の少ないエンファシス状態にすることで低電力化をはかる。

【0014】

以下、上記原理に基づく本発明の好適な実施の形態について説明する。

【0015】

〔第1の実施形態〕

本発明を好適に実施した第1の実施形態について説明する。

図1に、本実施形態にかかる出力バッファ回路の構成を示す。本実施形態にかかる出力バッファ回路は、データ生成部1と出力バッファ2とを有する。出力バッファ2は、カレントビット端子5、反転プリビット端子6、プリ・エンファシス制御端子7、メインバッファ8、プリバッファ9及び出力端子10を有する。出力バッファ2は、特許文献2に記載の発明のものと同様であるため、これ自体についての詳細な動作の説明や、伝送路及び終端方法についての説明は省略する。データ生成部1は、出力バッファ2へ出力するデータを生成する。

【0016】

図2に、データ生成部1の構成を示す。データ生成部1は、データラッチ回路11、12、EX-OR回路13、データバス用セクタ14及びタイミング調整バッファ15、16を有する。また、データ生成部1は、データ入力端子(DIN)3、クロック入力信号端子(CLOCK)4、データ出力端子(DOUTA)17及びデータ出力端子(DOUTB)18の各入出力端子を備えている。なお、以下の説明においてDINやCLOCKなどは、端子そのものだけでなく、その端子に入力又はその端子から出力する信号をも表す。

データラッチ回路11、12は、CLOCKの立ち上がりエッジで入力データを保持する一般的なフリップフロップ回路である。ただし、データラッチ回路12は、保持したデータ出力Qの他に、その反転出力QBをも有する。データバス用セクタ回路14は、sel=1の場合は、入力In:1のデータを出力Outへ出力する一般的なセクタ回路である。

なお、タイミング調整バッファ15、16は、出力データDOUTA、DOUTBの遅延及び波形整形のために挿入しているが、バッファによるタイミング調整ではなく、データラッチにして構成しても良い。

【0017】

出力バッファ回路の動作について説明する。

入力データDIN(da)は、データラッチ11のCLOCKの立ち上がりエッジによって取り込まれ、次の立ち上がりまでデータが保持される。このラッチ出力は、Dbであ

り、保持したデータはバッファ15を介して出力端子DOUTAから出力する。データラッチ12は、後段である出力バッファ2のエンファシス用データ生成回路であり、データラッチ11の出力データDbを保持し、出力としてDc及びその反転出力Deを出力する。EX-OR回路13とデータセクタ回路14とは、データの状態を検出する回路を構成しており、この検出結果によりDOUTBから出力すべきデータを決定している。例えば、Da=Db=Dc=0やDa=Db=Dc=1の場合（換言すると、同じ論理値が3ビット連続している場合）は、Dd=0となり、セクタ14の入力データDbが選択され、バッファ16を介して出力端子DOUTBからデータラッチ11で保持したデータDbを出力する。一方、Da=Db=Dc=0又はDa=Db=Dc=1以外の場合は、Dd=1となり、データラッチ12で保持した1bit遅れの反転データがバッファ16を介して出力端子DOUTBから出力される。

DOUTBから出力された出力信号は、TBを介して出力バッファ2へ入力され、エンファシスを行うか否かがこれに基づいて決定される。

【0018】

この状態変化（論理）を図3に示す。ただし、図3においては、説明の簡略化のためセクタ14の遅延及びバッファ15、16の遅延は無視している。図3に示す通り、DOUTAから出力されるのは、データラッチ11でDINを1bit保持した後のデータである。DOUTBは、DIN、Db、Dcのデータ列に従い、DINに対して1bit保持したデータか、DINに対して2bit保持した反転データかが選ばれたデータである。図2に示したデータ生成部1で作られたデータ出力は、図1の出力バッファ2に接続されており、出力バッファ回路2のSOUTから最終データを出力する。

【0019】

本実施形態にかかる出力バッファ回路の出力波形を図4（a）に示す。比較のために、従来の出力バッファ回路の出力波形も（b）に合わせて示す。図に示すように、本実施形態にかかる出力バッファ回路は、T1、T2、T3の区間でエンファシス状態を保っている。

【0020】

出力バッファの回路特性として、

ディエンファシス時の消費電力>エンファシス時の消費電力

の関係があり、データが0又は1に固定している場合、消費電力が大きくなる。

【0021】

図5に、エンファシス状態の出力バッファにおける電流の流れを示す。Rp1は、メインバッファPチャネルトランジスタオン抵抗、Rp2は、プリバッファPチャネルトランジスタオン抵抗、Rn1は、メインバッファNチャネルトランジスタオン抵抗、Rn2は、プリバッファNチャネルトランジスタオン抵抗、Rtは終端抵抗である。

ここで、 $R1=Rp1=Rn1=20\Omega$ 、 $R2=Rp2=Rn2=100\Omega$ 、 $Rt=100\Omega$ とすると、合成抵抗R0は、

$$R0=2(R1R2/(R1+R2))+Rt=133.3\Omega$$

となる。

【0022】

図6に、ディエンファシス状態の出力バッファにおける電流の流れを示す。

図4と同様に、 $R1=Rp1=Rn1=20\Omega$ 、 $R2=Rp2=Rn2=100\Omega$ 、 $Rt=100\Omega$ とすると、合成抵抗R0は、

$$R0=(2R1R2(R1+R2)+Rt((R1+R2)^2))/(R1+R2+Rt)^2-RT^2=50\Omega$$

となる。

【0023】

エンファシス時の合成抵抗とディエンファシス時の合成抵抗とを比較すると、エンファシス時の値はディエンファシス時の2.7倍となっており、両者には大きな差が見られる。

【0024】

本実施形態にかかる出力バッファ回路では、出力データDOUTAに“0”又は“1”が連続する場合は、出力データDOUTBを消費電力の小さいエンファシス状態に維持する。図4に示す例では、T1、T2及びT3がエンファシス状態を維持することによって消費電力を低減している区間である。

【0025】

このような制御を行うことにより、データ固定時の消費電力を削減できる。

【0026】

〔第2の実施形態〕

本発明を好適に実施した第2の実施形態について説明する。本実施形態にかかる出力バッファ回路は第1の実施形態と同様に、データ生成部と出力バッファとを有する。図7に、本実施形態にかかる出力バッファ回路のデータ生成部25の構成を示す。データ生成部25は、第1の実施形態にかかる出力バッファ回路のもの（データ生成部1）とほぼ同様であるが、バッファ15、16の代わりにデータラッチ26、27を有する。回路の動作については第1の実施形態とほぼ同様であるため、説明は省略する。

【0027】

本実施形態にかかる出力バッファ回路は、データラッチ11、12でラッチした信号を、データラッチ26、27で再びラッチするため回路全体のレイテンシは第1の実施形態にかかる出力バッファ回路よりも大きくなるが、遅延余裕が大きくなるためタイミング設計が容易となり、高速化も図れる。

【0028】

なお、上記各実施形態は本発明の好適な実施の一例であり、本発明はこれらに限定されることはなく様々な変形が可能である。

【図面の簡単な説明】

【0029】

【図1】本発明を好適に実施した第1の実施形態にかかる出力バッファ回路の構成を示す図である。

【図2】第1の実施形態にかかる出力バッファ回路のデータ生成部の構成を示す図である。

【図3】出力バッファ回路の各信号の論理値の変化を示す図である。

【図4】データ生成部の出力信号の波形を示す図である。

【図5】エンファシス状態の出力バッファにおける電流の流れを示す図である。

【図6】ディエンファシス状態の出力バッファにおける電流の流れを示す図である。

【図7】本発明を好適に実施した第2の実施形態にかかる出力バッファ回路のデータ生成部の構成を示す図である。

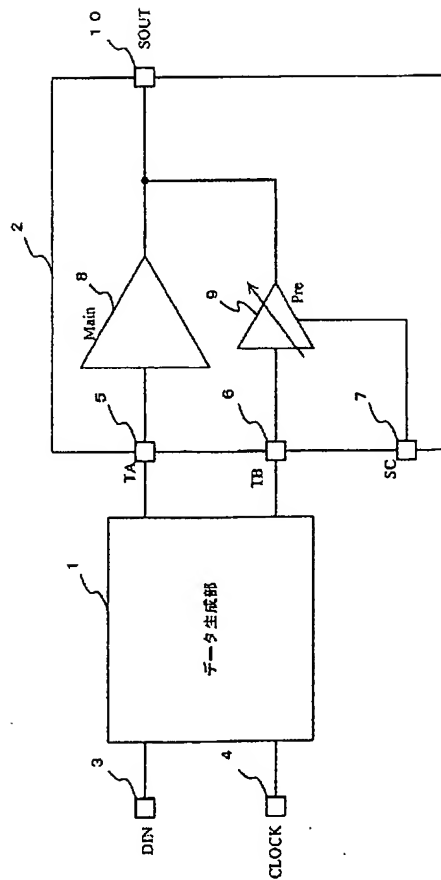
【符号の説明】

【0030】

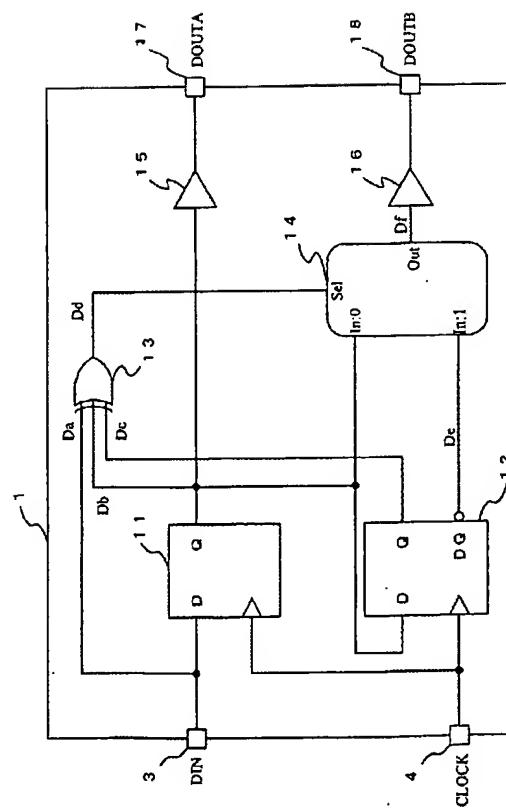
- 1 データ生成部
- 2 出力バッファ
- 3 シリアルデータ入力端子(DIN)
- 4 クロック入力端子(CLOCK)
- 5 カレントビット端子(TA)
- 6 反転プレビット端子(TB)
- 7 プリ・エンファシス制御端子
- 8 メインバッファ
- 9 プレバッファ
- 10 出力端子(SOUT)
- 11、12、26、27 データラッチ
- 13 EX-OR
- 14 セレクタ

- 15、16バッファ
 17 出力端子 (DOUTA)
 18 出力端子 (DOUTB)

【図1】



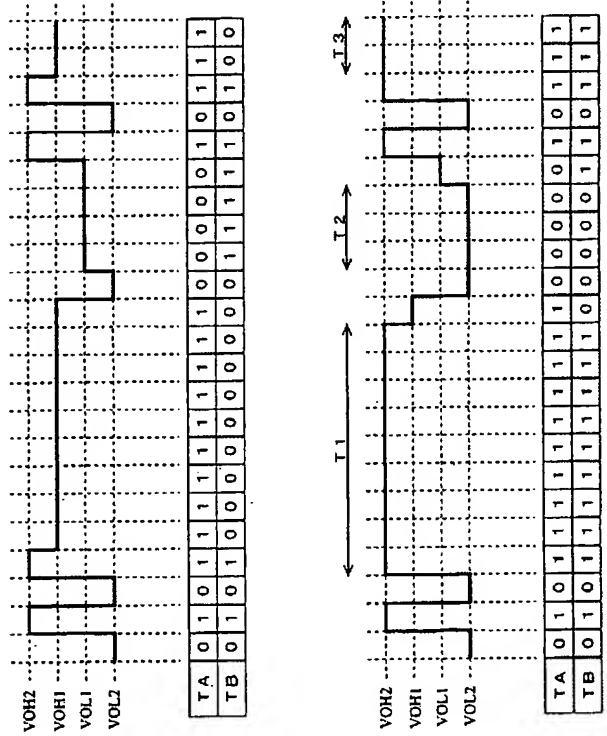
【図2】



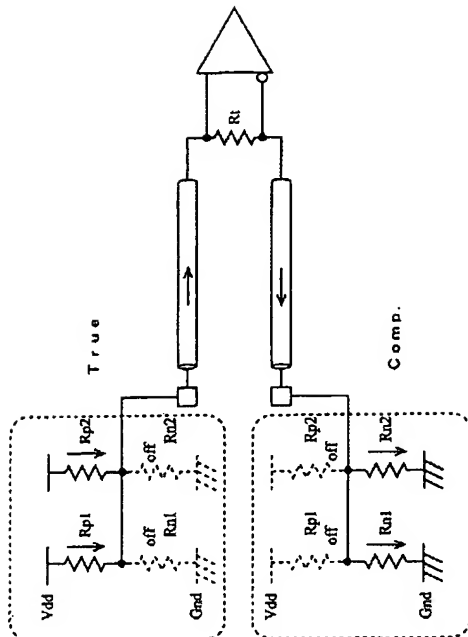
【図3】

DIN (D _n)	0	1	0	1	1	1	1	1	1	1	1	1	1	0	0	0	0	1	0	1	1	1	x
D _b	x	0	1	0	1	1	1	1	1	1	1	1	1	1	0	0	0	0	1	0	1	1	x
D _c	x	x	0	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	1	0	1	1	1
D _e	x	x	1	0	1	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0	0
D _d (Sel)	x	x	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	1	1	1	0	x	x
D _f	x	x	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	1	1	0	1	1	x
DOUTA (TA)	x	0	1	0	1	1	1	1	1	1	1	1	1	1	0	0	0	0	1	0	1	1	x
DOUTB (TB)	x	x	1	0	1	1	1	1	1	1	1	1	1	1	0	0	0	1	1	0	1	1	x

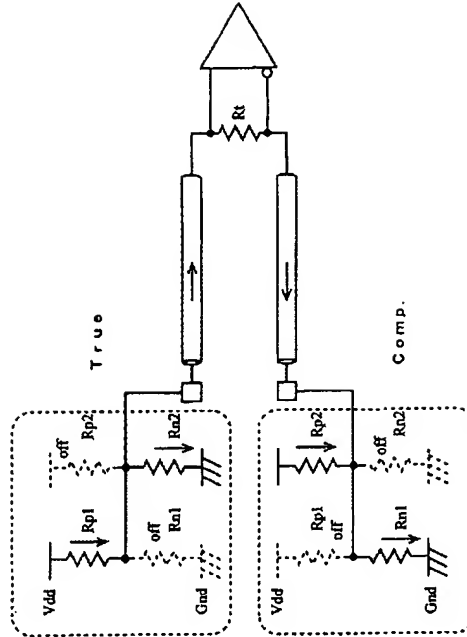
【図4】



【図5】



【図6】



【図7】

